

(2) Japanese Patent Application Laid-Open No. 9-237829 (1997)

“Semiconductor Integrated Circuit Device and Method of Manufacturing the Same”

5 The following is an extract relevant to relevant to the present invention:

 It is an object of this invention to prevent reduction of a threshold voltage of a MOSFET and occurrence of kink which is likely to be observed in a linear region in V_g - I_d characteristics, in a semiconductor integrated circuit device formed by a shallow trench isolation process.

10

 To attain the foregoing object, a p-type well 5 and an n-type well 6 are formed in a main surface of a semiconductor device 1. Also, a highly doped p-type impurity region 7 and a highly doped n-type impurity region 8 are formed under respective gate electrodes 10 of a p-channel MOSFET Q_p and an n-channel MOSFET Q_n , respectively, so as to border on silicon oxide 2 which is embedded in the main surface of the semiconductor substrate 1 and functions as an isolation region. Further, a highly doped n-type impurity region 3 and a highly doped p-type impurity region 4 are formed under the silicon oxide 2.

15

特開平9-237829

(43)公開日 平成9年(1997)9月9日

(51)Int.Cl.⁶H01L 21/76
27/08

識別記号

331

F I

H01L 21/76
27/08

N

331 C

審査請求 未請求 請求項の数 7 O L (全12頁)

(21)出願番号 特願平8-44388

(22)出願日 平成8年(1996)3月1日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 野中 裕介

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

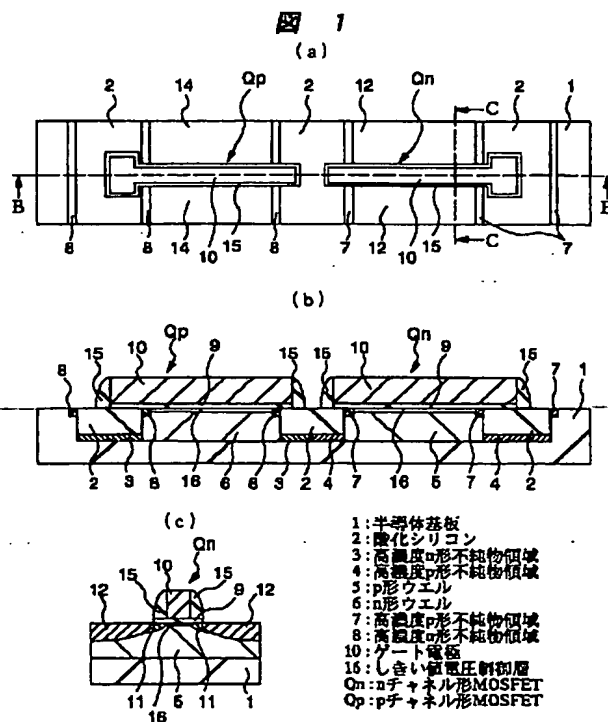
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 浅溝素子分離法を用いた半導体集積回路装置において、MOSFETのしきい値電圧の低下およびその V_g-I_d 特性における線形領域に見られるキクの発生を防止する。

【解決手段】 半導体基板1の主面に形成されたp形ウェル5およびn形ウェル6と、半導体基板1の主面に形成された素子分離領域である埋込形の酸化シリコン2との境界部分であって、pチャネル形MOSFET Q_p およびnチャネル形MOSFET Q_n のゲート電極10の下部に、高濃度p形不純物領域7および高濃度n形不純物領域8を形成する。また、酸化シリコン2の下部には、高濃度n形不純物領域3および高濃度p形不純物領域4を形成する。



【特許請求の範囲】

【請求項1】 半導体基板主面に形成された浅溝に埋め込まれ、前記半導体基板主面上に形成された半導体集積回路素子を電気的に分離するための誘電体領域と、前記誘電体領域に囲まれ、ウェルおよびしきい値電圧調整用不純物層を有する活性領域と、を含む半導体集積回路装置であって、

前記活性領域の前記誘電体領域との境界部分には、前記ウェルの導電形と同一の導電形を示す不純物が高濃度に導入されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、

前記浅溝の底部領域には、前記ウェルの導電形と同一の導電形を示す不純物が高濃度に導入されていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、

前記境界部分または前記浅溝の底部領域の不純物濃度は、前記しきい値電圧調整用不純物層に導入される不純物の濃度よりも高濃度であることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面上に、シリコンに対してエッチング選択性を有する物質の薄膜を形成する工程と、

(b) 前記薄膜をバターンングしてマスクとし、前記半導体基板をエッチングして浅溝を形成する工程と、

(c) 前記マスクである前記薄膜を等方性エッチングすることにより前記浅溝の開口部領域を露出する工程と、

(d) 前記等方性エッチングされた薄膜をマスクとし、前記浅溝の前記開口部領域に不純物を導入する工程と、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項4記載の製造方法であって、前記(d)の工程において、同時に、前記浅溝の底部領域に前記不純物を導入することを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項4または5記載の製造方法であって、

前記(d)の工程において、ウェルを形成するための不純物の導入、またはしきい値調整用不純物層を形成するための不純物の導入、を同時に行うことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1、2または3記載の半導体集積回路装置の製造方法であって、

前記境界部分への不純物の導入は、自己整合的に行われることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装

置およびその製造技術に関し、特に、微細かつ高集積な相補形MOSFET(CMOSFET)により構成された論理回路、および記憶回路を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体集積回路装置の動作速度が速くなり、集積密度が高まるにつれてチップあたりの消費電力が著しく増加するため、従来のNMOSデバイスやバイポーラデバイスを用いて1チップに大規模な回路を構成することが難しくなっている。このためVLSIの分野では、消費電力が小さいだけでなく、雑音余裕を大きくとれ、また、回路設計が容易なCMOSデバイスに対する要求が急激に高まっている。

【0003】 CMOSデバイスは、nチャネル形MOSFETとpチャネル形MOSFETとが直列に配置された構成となっているものである。その製造方法は、昭和59年11月30日、株式会社オーム社発行、「LSIハンドブック」、p402~p405に詳しく記載されているが、簡単に説明すると以下のとおりである。

【0004】 半導体基板の主面上に形成したp形ウェルとn形ウェルにチャネルイオンを注入してチャネル領域を形成した後、ゲート酸化膜を形成し、多結晶シリコン膜からなるゲート電極を形成する。

【0005】 次に、低濃度のソース領域およびドレイン領域を形成するために、ゲート電極をマスクにして不純物イオンを注入し、p形ウェルにn形不純物から成るn形半導体領域を、n形ウェルにp形不純物から成るp形半導体領域をそれぞれ形成して、nチャネル形MOSFETとpチャネル形MOSFETとから構成されるCMOSデバイスが完成する。

【0006】

【発明が解決しようとする課題】 近年、半導体集積回路装置の微細化が進むにつれ、更なる高集積化の要求が増大している。したがって、高集積化を実現するためには、素子を微細化し、さらに素子分離領域の面積を微細化しなければならない。

【0007】 しかし、従来より用いられているLOCOS(Local Oxidation of Silicon)法では、素子分離領域と活性領域との境界部分にパズピークが存在するため、更なる微細化に伴う素子分離面積の低減には対応し難く、微細な面積での素子分離が困難となる。

【0008】 そこで、LOCOS法に代わる素子分離方法として、浅溝素子分離法が開発されているが、浅溝素子分離法を用いてMOSFETを形成すると、MOSFETの動作特性に好ましくない影響が出ることを本発明者は見出した。以下、本発明者の見出した問題点と、その原因に関する検討結果を説明する。

【0009】 図15に、浅溝素子分離法を用いて形成した場合のMOSFETの動作特性を示す。特性曲線151は、ゲート電圧(V_g)に対して、ドレイン電流(I

10

20

30

40

50

d) の対数値をとって、 $V_g - \text{LOG}(I_d)$ 特性として示したものであり、実験により経験的に得られる特性である。

【0010】特性曲線151のしきい値電圧は V_{g1} であり、設計値である V_{g1} よりも低い値となっている。また、特性曲線151は、ゲート電圧の低い線形領域においていわゆるキンクKを有するものである。この特性は、本来線形であるはずの領域においてキンクKを有するものであり、また、しきい値電圧 V_{g1} は、設計値から偏ったものであって、しきい値電圧の偏りおよびばらつきを生じ、好ましくない。

【0011】前記現象は、以下のように理解することができる。すなわち、特性曲線151で示されるMOSFETは、特性曲線152を有する第1のMOSFETと、特性曲線153を有する第2のMOSFETとが並列接続されたものであるとモデリングすることができる。

【0012】第1のMOSFETのしきい値電圧は V_{g1} であり、本来の設計値に相当するものである。第2のMOSFETは、そのしきい値電圧が V_{g1} であり、第1のMOSFETよりも数桁低いドレイン電流で飽和するものである。

【0013】すなわち、特性曲線151で示されるMOSFETのしきい値電圧を設計値である V_{g1} よりも低い値である V_{g1} に低下させ、キンクKを発生させている原因は、第2のMOSFETの存在であることが推察できる。

【0014】ここで、前記の第2のMOSFETが、現実のデバイスにおいていかなる構成により生じたものであるかを考察すれば、以下のように考えることができる。

【0015】浅溝素子分離法を用いてMOSFETを形成した場合には、素子分離領域である誘電体と活性領域である半導体基板主面とは平坦となっているため、活性領域における誘電体との境界部分では、誘電体上に形成されたゲート電極からの電界の寄与が無視できなくなる。つまり、活性領域の境界部分に電界の集中を生じ、その境界領域では、ゲート電極のゲート幅方向における中央領域、すなわち活性領域の中央部分に比べて、同じゲート電圧であっても高い電界が加えられていることとなり、低いゲート電圧でチャネル領域に反転層を形成することとなる。すなわち、ソース・ドレイン間の導通を開始することとなる。しかし、素子分離領域である誘電体上のゲート電極からの電界の作用は、境界部分に限られるため、その実効的なゲート幅は狭く、低いドレイン電流で飽和することとなる。

【0016】前記の境界部分に形成されるチャネルが前記第2のMOSFETに対応し、本来のゲート電極幅全域にわたって形成されるチャネルが前記第1のMOSFETに対応すると考えられる。

【0017】なお、前記推論は、LOCOS法による素子分離においては、このような問題が生じ難いという経験則とも一致する。すなわち、LOCOS法においてはバースピークの存在が境界部分における電界の集中を緩和し、前記の問題を原理的に生じないと考えられるからである。

【0018】本発明は、前記の検討により得られた知見に基づくものである。

【0019】本発明の目的は、素子分離領域の面積を低減してさらに高集積化した微細なMOSFETを有する半導体集積回路装置であっても、しきい値電圧の低下およびキンク発生のない半導体集積回路装置およびその製造方法を提供することにある。

【0020】本発明の他の目的は、しきい値電圧の低下およびキンク発生の防止を施した製造方法であっても、従来プロセスの大幅な変更を伴うことなく、簡易に従来プロセスとの整合性よく前記問題を解決することができる製造技術を提供することにある。

【0021】本発明のさらに他の目的は、浅溝素子分離をさらに効果的に行うことができる技術を提供することにある。

【0022】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0023】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0024】(1) 本発明の半導体集積回路装置は、半導体基板主面に形成された浅溝に埋め込まれ、半導体基板主面上に形成された半導体集積回路素子を電気的に分離するための誘電体領域と、誘電体領域に囲まれ、ウェルおよびしきい値電圧調整用不純物層を有する活性領域と、を含む半導体集積回路装置であって、活性領域の誘電体領域との境界部分には、ウェルの導電形と同一の導電形を示す不純物が高濃度に導入されているものである。

【0025】このような半導体集積回路装置によれば、活性領域の誘電体領域との境界部分に、ウェルの導電形と同一の導電形を示す不純物が高濃度に導入されているため、浅溝素子分離法を用いて形成したMOSFETであっても、そのしきい値電圧は低下せず、また、キンクを発生することがない。

【0026】すなわち、MOSFETのしきい値電圧の低下およびキンクの発生は、前記したとおり、活性領域の誘電体領域との境界部分において電界の集中が生じ、これにより発生する局所的なチャネルによりソース・ドレイン間の導通が開始して発生するものと考えられる。そこで、本発明の半導体集積回路装置では、局所的なチャネルが形成される境界部分の不純物濃度を高め、この

部分でのしきい値電圧が高くなるよう、つまり、電界集中が発生しても反転層が形成され難くしたものである。

【0027】このような対策を講じることにより、境界部分でのチャネル形成はMOSFETのゲート電極幅方向の中央部で形成されるチャネルよりも高いゲート電圧で形成されることとなり、MOSFETのしきい値電圧は本来の設計値となり、キンク発生の問題も解消される。

【0028】(2) 本発明の半導体集積回路装置は、前記(1)に記載の半導体集積回路装置であって、浅溝の底部領域には、ウェルの導電形と同一の導電形を示す不純物が高濃度に導入されているものである。

【0029】このような半導体集積回路装置によれば、浅溝の底部領域にウェルの導電形と同一の導電形を示す不純物が高濃度に導入されているため、この不純物領域をチャネルストッパとして作用させ、素子分離を効果的に行うことが可能となる。

【0030】(3) 本発明の半導体集積回路装置は、前記(1)または(2)に記載の半導体集積回路装置であって、境界部分または浅溝の底部領域の不純物濃度は、しきい値電圧調整用不純物層に導入される不純物の濃度よりも高濃度であることを特徴とするものである。

【0031】このような半導体集積回路装置によれば、境界部分または浅溝の底部領域の不純物濃度をしきい値電圧調整用不純物層に導入される不純物の濃度よりも高濃度とするため、前記(1)の効果を安定的に引き出すことができる。つまり、しきい値電圧調整用の不純物の導入により、境界部分の導電形が反転したり、また、ゲート電極幅方向の中央部で形成されるチャネル領域よりも不純物濃度が低くなることを防ぎ、確実に境界部分のしきい値電圧を上昇させることができる。

【0032】(4) 本発明の半導体集積回路装置の製造方法は、前記(1)、(2)または(3)に記載の半導体集積回路装置の製造方法であって、(a) 半導体基板の主面上に、シリコンに対してエッチング選択性を有する物質の薄膜を形成する工程と、(b) 薄膜をパターンニングしてマスクとし、半導体基板をエッチングして浅溝を形成する工程と、(c) マスクである薄膜を等方性エッチングすることにより浅溝の開口部領域を露出する工程と、(d) 等方性エッチングされた薄膜をマスクとし、浅溝の前記開口部領域に不純物を導入する工程と、を含むことを特徴とするものである。

【0033】このような半導体集積回路装置の製造方法によれば、シリコンに対してエッチング選択性を有する物質の薄膜をマスクとして、浅溝の形成および浅溝開口部領域への不純物の導入を行うことができる。しかも、浅溝開口部領域への不純物導入に際しては新たにマスクを形成する必要はなく、浅溝形成時のマスクをその端部を僅かに等方性エッチングするのみで再度利用することが可能でありプロセスの簡略化、省力化に寄与でき、ま

た、従来プロセスとの整合性も担保することができる。さらに、等方性エッチングされた薄膜のマスクは浅溝開口部領域への不純物導入について自己整合であり、この点においてもプロセスの簡略化をすることができる。

【0034】なお、シリコンに対してエッチング選択性を有する物質としてシリコン窒化物を例示することができるが、これに限られず、酸化アルミニウム等金属酸化物を用いてもよい。

【0035】(5) 本発明の半導体集積回路装置の製造方法は、前記(4)に記載の製造方法であって、(d)の工程において、同時に、浅溝の底部領域に不純物を導入することを特徴とするものである。

【0036】このような半導体集積回路装置の製造方法によれば、前記(d)の工程において、同時に、浅溝の底部領域に不純物を導入するため、浅溝開口部領域への不純物の導入と同時に誘電体分離領域の下部にチャネルストッパを形成することができ、プロセスの簡略化および従来プロセスとの整合性を良くすることができる。

【0037】(6) 本発明の半導体集積回路装置の製造方法は、前記(4)または(5)に記載の製造方法であって、(d)の工程において、ウェルを形成するための不純物の導入、またはしきい値調整用不純物層を形成するための不純物の導入、を同時に行うことを特徴とするものである。

【0038】このような半導体集積回路装置の製造方法によれば、前記(d)の工程においてウェルを形成するための不純物の導入またはしきい値調整用不純物層を形成するための不純物の導入を同時に行うため、浅溝底部領域の不純物濃度をさらに増すことができ、素子分離をさらに効果的に行うことができる。具体的には、素子分離に設計余裕を生じ、浅溝の深さをさらに浅くすることができ、プロセスの簡略化およびタクトタイムの向上によるコスト削減を促すことができる。

【0039】(7) 本発明の半導体集積回路装置の製造方法は、前記(1)、(2)または(3)に記載の半導体集積回路装置の製造方法であって、境界部分への不純物の導入は、自己整合的に行われることを特徴とするものである。

【0040】このような半導体集積回路装置の製造方法によれば、境界領域への不純物の導入を自己整合的に行うため、不純物導入のためのマスクを別途形成する必要がなく、その結果、コスト削減や歩留まりの向上に寄与することができる。

【0041】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0042】(実施の形態1) 図1は、本発明の一実施の形態である半導体集積回路装置の一例を示したもので

あり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【0043】本実施の形態の半導体集積回路装置は、半導体基板1の主面上にpチャネル形MOSFETQpおよびnチャネル形MOSFETQnを有し、CMOS構造を有するものである。

【0044】半導体基板1の主面には、素子分離領域である埋込形の酸化シリコン2が形成され、その酸化シリコン2の下部には、高濃度n形不純物領域3および高濃度p形不純物領域4が形成されている。高濃度n形不純物領域3および高濃度p形不純物領域4は各々pチャネル形MOSFETQpおよびnチャネル形MOSFETQnの下部に形成される。

【0045】また、半導体基板1の主面には、p形ウェル5およびn形ウェル6が形成され、半導体基板1およびp形ウェル5と酸化シリコン2との境界領域には、高濃度p形不純物領域7が形成され、半導体基板1およびn形ウェル6と酸化シリコン2との境界領域には、高濃度n形不純物領域8が形成されている。

【0046】nチャネル形MOSFETQnは、半導体基板1の主面に形成されたp形ウェル5の上部にゲート絶縁膜9を介して形成されたゲート電極10と、そのゲート電極10の両側の半導体基板1の主面に形成された低濃度不純物領域であるn⁻半導体領域11および高濃度不純物領域であるn⁺半導体領域12とから構成される。n⁻半導体領域11およびn⁺半導体領域12はLDD構造のソースおよびドレインとなる。

【0047】pチャネル形MOSFETQpは、半導体基板1の主面に形成されたn形ウェル6の上部にゲート絶縁膜9を介して形成されたゲート電極10と、そのゲート電極10の両側の半導体基板1の主面に形成された低濃度不純物領域であるp⁻半導体領域13および高濃度不純物領域であるp⁺半導体領域14とから構成される。p⁻半導体領域13およびp⁺半導体領域14からなるソースおよびドレインがLDD構造となるのはMOSFETQnと同様である。

【0048】ゲート電極10の側面にはサイドウォールスペーサ15が形成され、ゲート電極10の下部のp形ウェル5およびn形ウェル6にはしきい値電圧制御層16が形成されている。

【0049】高濃度p形不純物領域7および高濃度n形不純物領域8は、酸化シリコン2の上部に形成されたゲート電極10からの電界集中による反転層の形成を防止する作用を持つものであり、その不純物濃度は、しきい値電圧制御層16に導入された不純物の濃度よりも高くなるよう製造されるものである。

【0050】次に、前記の半導体集積回路装置の製造方法を図2～図14を用いて説明する。

【0051】図2～図14は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したもの

であり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【0052】まず、図2に示すように、p形シリコン単結晶で構成された半導体基板1の主面上を10nm程度酸化して酸化シリコン膜17を形成し、その上に窒化シリコン膜18を100nm程度堆積する(図2)。

【0053】次に、素子分離用の浅溝を形成したい部分の窒化シリコン膜18を、ホトリソグラフィ技術によりパターニングしたレジスト19をマスクとして、エッチング技術を用いて除去する(図3)。

【0054】次に、レジスト19を除去した後、残った窒化シリコン膜18をマスクとして半導体基板1に浅溝を公知の異方性エッチング技術により形成する(図4)。

【0055】次に、前工程においてマスクとして使用した窒化シリコン膜18をアッシングなどの等方性エッチングにより30nm程度除去し、浅溝開口部の角20を露出させる(図5)。

【0056】次に、ホトリソグラフィ技術により形成したレジスト21と等方性エッチングによりその角を除去した窒化シリコン膜18とをマスクとして、nチャネル形MOSFETQnの形成される領域にp形不純物、例えばB(ボロン)をイオン打ち込みにより導入する(図6)。これにより、任意の浅溝の開口部に高濃度p形不純物領域7、および任意の浅溝の底部に高濃度p形不純物領域4を形成する。

【0057】次に、ホトリソグラフィ技術により形成したレジスト22と等方性エッチングによりその角を除去した窒化シリコン膜18とをマスクとして、pチャネル形MOSFETQpの形成される領域にn形不純物、例えばP(リン)をイオン打ち込みにより導入する(図7)。これにより、任意の浅溝の開口部に高濃度n形不純物領域8、および任意の浅溝の底部に高濃度n形不純物領域3を形成する。

【0058】ここで、高濃度p形不純物領域7、高濃度p形不純物領域4、高濃度n形不純物領域8および高濃度n形不純物領域3に導入する不純物の濃度は、 5×10^{11} atoms/cm²以上とすることができる。

【0059】なお、前記のように、浅溝の形成と浅溝開口部への不純物の導入とは、窒化シリコン膜18による一枚のマスクで行うことができる。これは、窒化シリコン膜18がシリコンに対してエッチング選択性を有する物質であることを利用したものである。すなわち、シリコンと窒化シリコンとの何れか一方のみエッチングされたりされなかったりすることが、エッチャントあるいはエッチングガスの選択により可能であることを利用し、浅溝の形成においてはシリコンがエッチングされる条件においてエッチングを実行し、浅溝開口部への不純物の導入のためのマスクの形成においては窒化シリコンがエ

10

20

30

40

50

ツチングされる条件においてエッチングを実行するものである。これにより、マスクを追加することなく浅溝開口部への不純物の導入ができ、さらにその不純物の導入は自己整合的に行われるというメリットも加わる。

【0060】次に、基板全面にCVD (Chemical Vapor Deposition)法等により、たとえば酸化シリコン膜23を形成し、浅溝内に酸化シリコンを埋め込む(図8)。ここでは、絶縁体として酸化シリコンを例示したが、酸化アルミニウム等であってもよい。

【0061】次に、酸化シリコン膜23をエッチバックして半導体基板1の表面を平坦化し、埋込形の酸化シリコン2を形成する(図9)。ここで、窒化シリコン膜18をエッチバックのエッチングストッパとして用いることができる。すなわち、酸化シリコン膜23をエッチングするに際して、窒化シリコン膜18の検出を目標にエッチングを進行することができる。このようにエッチバックを行うことにより、先に形成した高濃度p形不純物領域7および高濃度n形不純物領域8を過度なエッチングにより消失することなく、ジャストエッチを実現することが容易となる。

【0062】次に、nチャネル形MOSFETQnとなる領域にp形不純物(たとえばB)をイオン注入法により導入してp形ウェル5を形成し、pチャネル形MOSFETQpとなる領域にn形不純物(たとえばP)をイオン注入法により導入してn形ウェル6を形成する(図10)。

【0063】次に、p形ウェル5およびn形ウェル6のそれぞれのチャネル領域にp形不純物(たとえばB)をイオン注入して、しきい値電圧制御層16を形成する(図11)。

【0064】次に、ゲート絶縁膜9を約6.5nmの膜厚で形成した後、半導体基板1上にCVD法でリンを添加した多結晶シリコン膜を堆積し、この多結晶シリコン膜をエッチングしてゲート電極10を形成する(図12)。

【0065】次に、ゲート電極10をマスクにしてp形ウェル5にn形不純物(たとえばAs)をイオン注入して、nチャネル形MOSFETQnの低濃度のn⁻半導体領域11を形成する。同様に、ゲート電極10をマスクにしてn形ウェル6にp形不純物(たとえばBF₃)をイオン注入して、pチャネル形MOSFETQpの低濃度のp⁺半導体領域13を形成する(図13)。n⁻半導体領域11およびp⁺半導体領域13は、たとえば10¹⁴atoms/cm³の不純物濃度で形成することができる。

【0066】次に、半導体基板1上にCVD法で堆積した酸化シリコン膜をRIE (Reactive Ion Etching) 法でエッチングして、ゲート電極10の側壁にサイドウォールスペーサ15を形成する(図14)。

【0067】次に、ゲート電極10とサイドウォールスペーサ15をマスクにして、p形ウェル5にn形不純物

(たとえばAs)をイオン注入し、nチャネル形MOSFETQnの高濃度のn⁻半導体領域12を形成する。同様に、n形ウェル6にp形不純物(たとえばBF₃)をイオン注入し、pチャネル形MOSFETQpの高濃度のp⁺半導体領域14を形成して図1に示す半導体集積回路装置がほぼ完成する。n⁻半導体領域12およびp⁺半導体領域14は、たとえば10¹⁷atoms/cm³の不純物濃度で形成することができる。

【0068】本実施の形態の半導体集積回路装置およびその製造方法によれば、以下のような効果を得ることができる。

【0069】(1) p形ウェル5およびn形ウェル6と酸化シリコン2との境界部分に、高濃度p形不純物領域7および高濃度n形不純物領域8を設けたため、素子分離法として浅溝素子分離法を用いてもMOSFETQnおよびQpのしきい値電圧は低下せず、また、キंकを発生することがない。

【0070】(2) 浅溝の底部に高濃度n形不純物領域3および高濃度p形不純物領域4を形成したため、素子分離を効果的に行うことが可能となる。

【0071】(3) 高濃度p形不純物領域7および高濃度n形不純物領域8の不純物濃度をしきい値電圧制御層16に導入される不純物の濃度よりも高濃度とするため、高濃度n形不純物領域8の導電形が反転したり、高濃度p形不純物領域7におけるしきい値電圧がnチャネル形MOSFETQnのゲート電極中央部におけるしきい値電圧よりも低下することなく、前記(1)の効果を安定的に引き出すことができる。

【0072】(4) 窒化シリコン膜18を、浅溝の形成および浅溝開口部領域への不純物の導入のためのマスクに用いるため、複数のマスクを用いることなく自己整合的に浅溝開口部領域への不純物の導入が可能となる。これにより、従来プロセスとの整合性を損なうことなく前記(1)の効果を引き出すことができる。

【0073】(5) 高濃度p形不純物領域4と高濃度p形不純物領域7、もしくは高濃度n形不純物領域3と高濃度n形不純物領域8を同時に形成するため、プロセスを簡略化することができる。

【0074】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0075】たとえば、本実施の形態では高濃度p形不純物領域4、7または高濃度n形不純物領域3、8とp形ウェル5またはn形ウェル6とを別工程で製造する例について説明したが、これを同時に行うものであってもよい。この場合、高濃度p形不純物領域4、7およびp形ウェル5を製造する工程と、高濃度n形不純物領域3、8およびn形ウェル6を製造する工程とは、酸化シ

リコン2を製造する工程の前とすることが必要である。

【0076】このような製造方法とすることにより、浅溝底部領域である高濃度p形不純物領域4および高濃度n形不純物領域3の不純物濃度をさらに増すことができ、素子分離を効果的に行なうことができるため、素子分離の設計に余裕を生じ、浅溝の深さを浅くすることができる。これにより、プロセスの簡略化およびタクトタイムの向上によるコスト削減を促すことができる。

【0077】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0078】(1) 活性領域の誘電体領域との境界部分に、ウェルの導電形と同一の導電形を示す不純物が高濃度に導入されているため、浅溝素子分離法を用いて形成したMOSFETであっても、そのしきい値電圧は低下せず、また、キンクを発生することがない。したがって、従来より用いられているプロセスとの整合性を損なうことなく、かつ、MOSFETの動作特性には影響を与えることなく、素子分離面積を縮小し、半導体集積回路装置の高集積化を可能とすることができる。

【0079】(2) 浅溝の底部領域にウェルの導電形と同一の導電形を示す不純物が高濃度に導入されているため、この不純物領域をチャネルストップとして作用させ、素子分離を効果的に行うことが可能となる。

【0080】(3) 境界部分または浅溝の底部領域の不純物濃度をしきい値電圧調整用不純物層に導入される不純物の濃度よりも高濃度とするため、しきい値電圧調整用の不純物の導入によって影響を受けることなく、前記(1)の効果を安定的に引き出すことができる。

【0081】(4) シリコンに対してエッチング選択性を有する物質の薄膜をマスクとして用いるため、単一のマスクで、浅溝の形成および浅溝開口部領域への不純物の導入を行うことができる。これによりプロセスの簡略化、省力化に寄与でき、また、従来プロセスの大幅な変更なしに浅溝開口部領域への不純物の導入を行うことができる。

【0082】(5) 浅溝の底部領域への不純物の導入と浅溝開口部領域への不純物の導入とを同時に行うため、プロセスの簡略化および従来プロセスとの整合性を良くすることができる。

【0083】(6) ウェルを形成するための不純物の導入と浅溝の底部領域への不純物の導入とを同時に行うため、浅溝底部領域の不純物濃度を増すことができ、素子分離をさらに効果的に行うことができる。この結果、素子分離に設計余裕を生じ、浅溝の深さを浅くことができ、プロセスの簡略化およびタクトタイムの向上によるコスト削減を促すことができる。

【0084】(7) 境界領域への不純物の導入を自己整合的に行なうため、不純物導入のためのマスクを別途形

成する必要がなく、その結果、コスト削減や歩留まりの向上に寄与することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【図2】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【図3】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【図4】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【図5】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【図6】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【図7】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【図10】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【図11】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は(a)におけるC-C断面図を示す。

【図12】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a)は上面図、(b)は(a)におけるB-B断面図、(c)は

13

(a) における C-C 断面図を示す。

【図 13】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a) は上面図、(b) は (a) における B-B 断面図、(c) は (a) における C-C 断面図を示す。

【図 14】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示したものであり、(a) は上面図、(b) は (a) における B-B 断面図、(c) は (a) における C-C 断面図を示す。

【図 15】浅溝素子分離法を用いて形成した場合の MOSFET の動作特性を示した特性曲線である。

【符号の説明】

- 1 半導体基板
- 2 酸化シリコン
- 3 高濃度 n 形不純物領域
- 4 高濃度 p 形不純物領域
- 5 p 形ウェル
- 6 n 形ウェル
- 7 高濃度 p 形不純物領域
- 8 高濃度 n 形不純物領域

9 ゲート絶縁膜

10 ゲート電極

11 n⁻ 半導体領域

12 n⁺ 半導体領域

13 p⁻ 半導体領域

14 p⁺ 半導体領域

15 サイドウォールスペーサ

16 しきい値電圧制御層

17 酸化シリコン膜

18 窒化シリコン膜

19 レジスト

20 浅溝開口部の角

21, 22 レジスト

23 酸化シリコン膜

151~153 特性曲線

K キンク

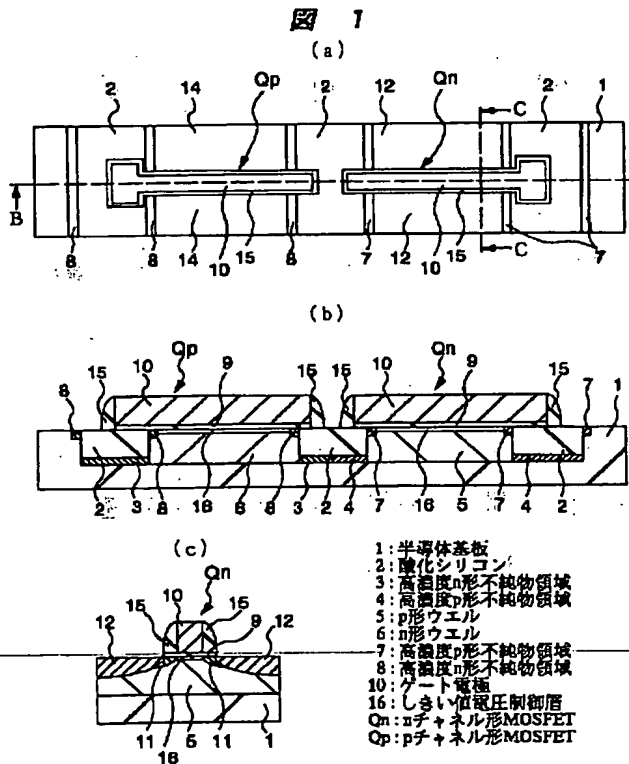
Q_n nチャネル形 MOSFET

Q_p pチャネル形 MOSFET

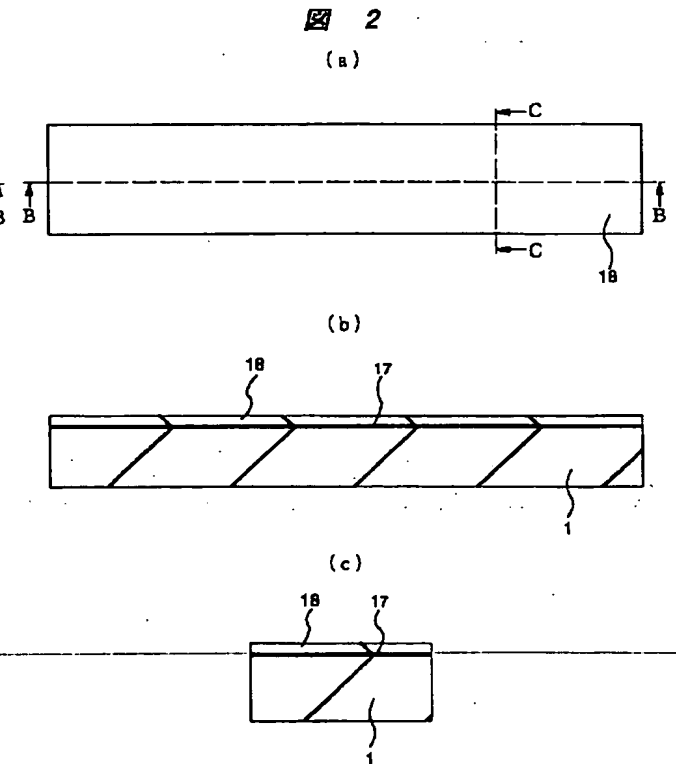
V_{g1}, V_{g2} しきい値電圧

20

【図 1】



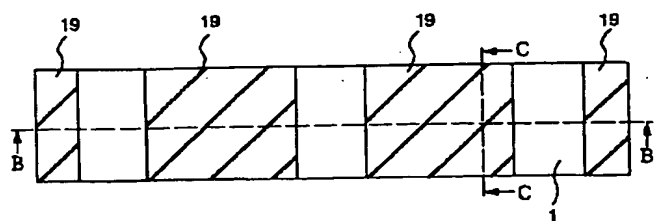
【図 2】



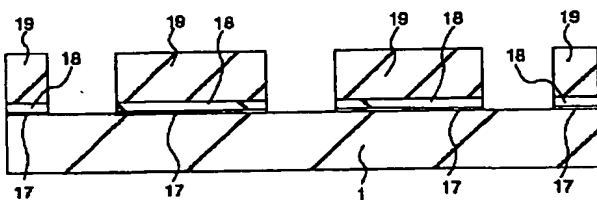
【図 3】

図 3

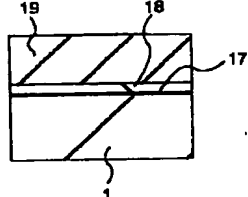
(a)



(b)



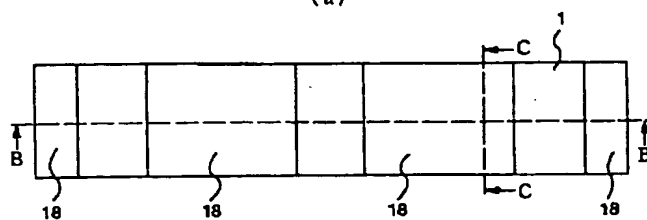
(c)



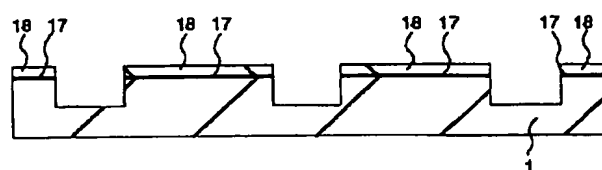
【図 4】

図 4

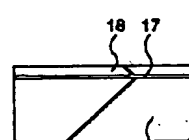
(a)



(b)



(c)



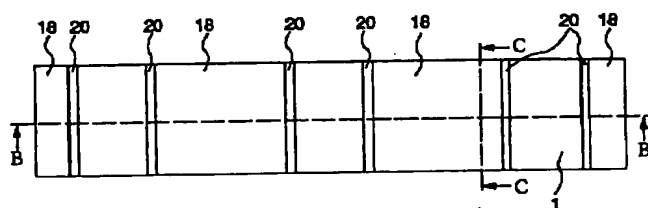
【図 6】

図 6

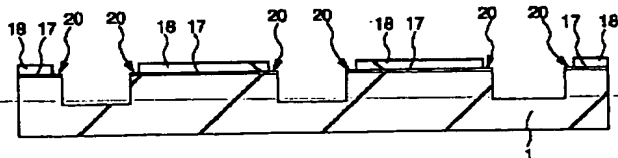
【図 5】

図 5

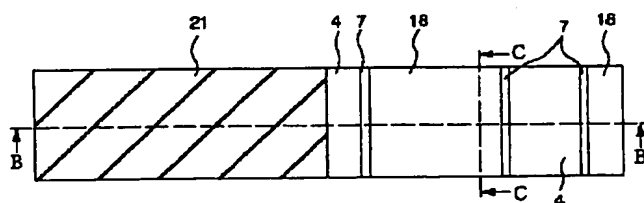
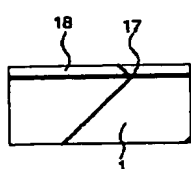
(a)



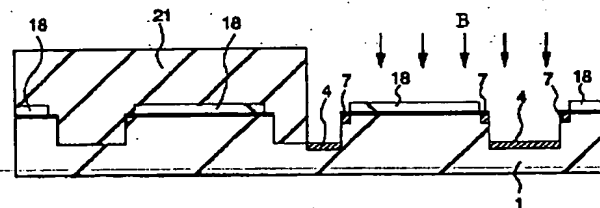
(b)



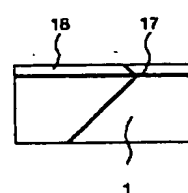
(c)



(b)



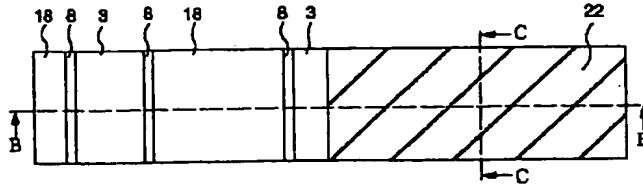
(c)



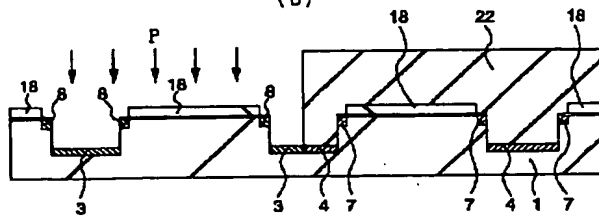
【図7】

図 7

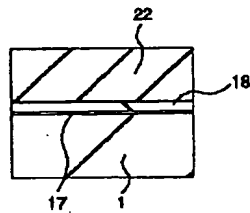
(a)



(b)



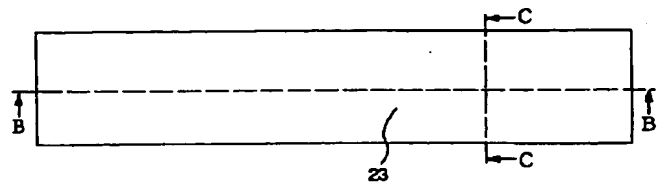
(c)



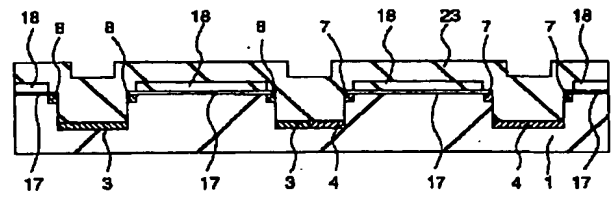
【図8】

図 8

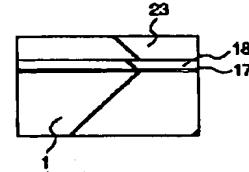
(a)



(b)



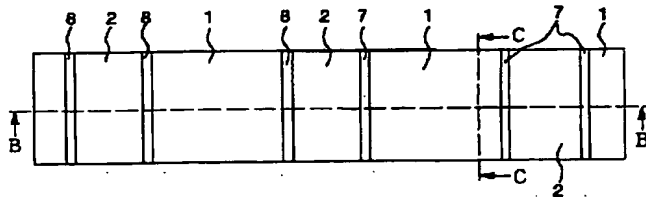
(c)



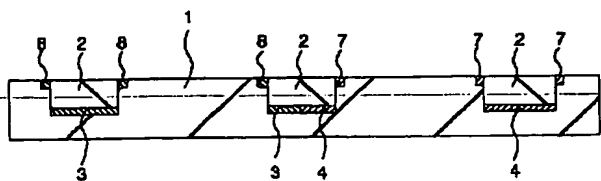
【図9】

図 9

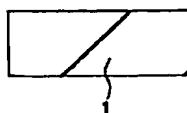
(a)



(b)



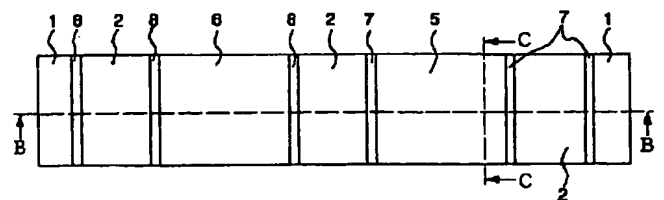
(c)



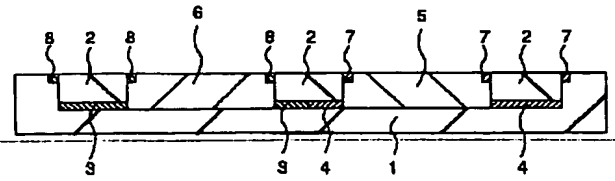
【図10】

図 10

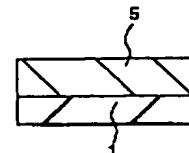
(a)



(b)

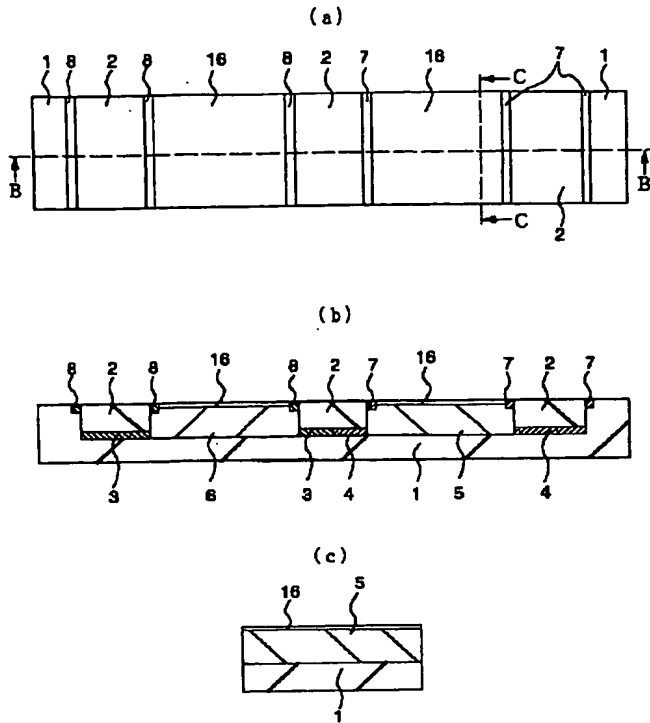


(c)



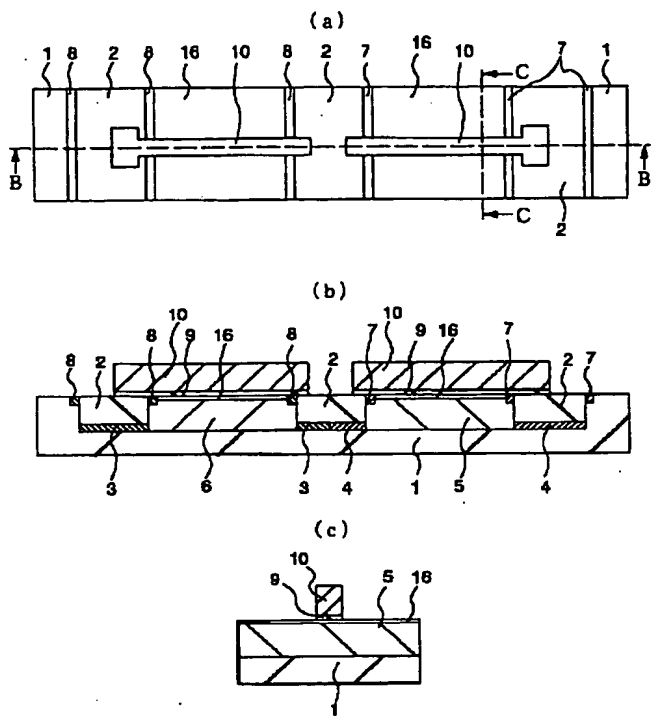
【図 11】

図 11



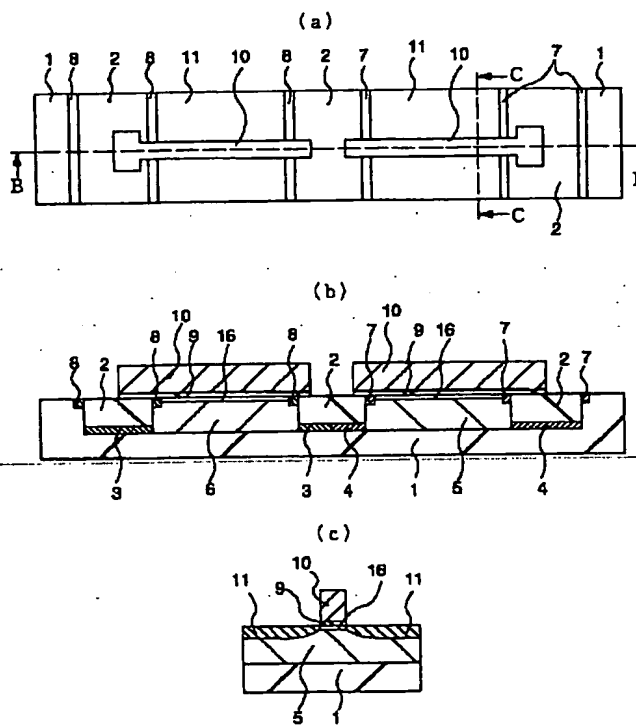
【図 12】

図 12



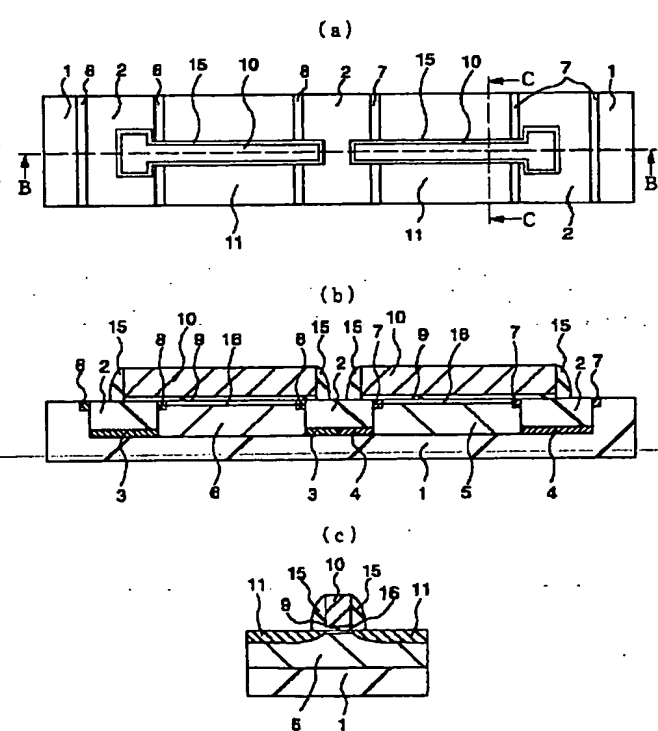
【図 13】

図 13



【図 14】

図 14



【図 15】

図 15

